

Signal processing arrangement for radio communications system**Publication number:** DE19736624**Publication date:** 1999-01-14**Inventor:** SCHLEE JOHANNES DIPL ING (DE); WEBER TOBIAS DIPL
ING (DE); BAIER PAUL WALTER PROF DR ING (DE); MAYER
JUERGEN DIPL ING (DE); EUSCHER CHRISTOPH DIPL ING
(DE); BAHRENBURG STEFAN DIPL ING (DE)**Applicant:** SIEMENS AG (DE)**Classification:****- International:** **H04B7/005; H04B7/005;** (IPC1-7): H04Q7/20; H03H21/00;
H04B7/204; H04B17/00**- european:** H04B7/005**Application number:** DE19971036624 19970822**Priority number(s):** DE19971036624 19970822**Report a data error here****Abstract of DE19736624**

The arrangement includes a channel estimator (KS), a data estimator (D), and a channel decoder (FD), whereby at least parts of the data estimator are implemented through modules (E4 to E14), in at least one digital signal processing device (DSP), and whereby at least parts of the modules are implemented in parallel. The modules may be distributed on several processing devices (DSP1, DSP2, DSP3, DSP4), and the signal processing device is preferably formed in such way, that the connection of the modules results according to a Petri network.

Data supplied from the **esp@cenet** database - Worldwide



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Patentschrift**
⑩ **DE 197 36 624 C 1**

⑤① Int. Cl.⁶
H 04 Q 7/20
H 03 H 21/00
H 04 B 7/204
H 04 B 17/00

⑳ Aktenzeichen: 197 36 624.4-42
㉑ Anmeldetag: 22. 8. 97
㉒ Offenlegungstag: -
㉓ Veröffentlichungstag
der Patenterteilung: 14. 1. 99

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

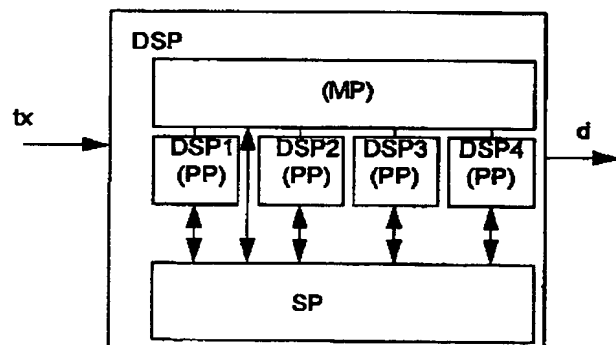
⑬ Patentinhaber:
Siemens AG, 80333 München, DE

⑰ Erfinder:
Schlee, Johannes, Dipl.-Ing., 67657 Kaiserslautern, DE; Weber, Tobias, Dipl.-Ing., 67731 Otterbach, DE; Baier, Paul Walter, Prof. Dr.-Ing.habil., 67661 Kaiserslautern, DE; Mayer, Jürgen, Dipl.-Ing., 67105 Schifferstadt, DE; Euscher, Christoph, Dipl.-Ing., 48414 Rhede, DE; Bahrenburg, Stefan, Dipl.-Ing., 81477 München, DE

⑤⑤ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
Steinbuck, Rupprecht: Nachrichtentechnik, Bd.2:
Nachrichtenübertragung, 3. Aufl. Springer-Verlag
Berlin u. a., 1982, S. 86-87;

⑤④ **Einrichtung zur Signalverarbeitung für ein Funk-Kommunikationssystem**

⑤⑦ Erfindungsgemäß enthält die Einrichtung zur Signalverarbeitung für ein Funk-Kommunikationssystem einen Kanalschätzer, einen Datenschätzer und einen Kanaldecodierer, wobei zumindest Teile des Datenschätzers in zumindest einem digitalen Signalverarbeitungsmittel durch Module realisiert werden. Ein Teil der Module wird dabei parallel zu anderen Programmodulen ausgeführt. Besonders vorteilhaft wird die Erfindung in Mobilfunknetzen der 3. Generation, insbesondere in Empfängern mit einer gemeinsamen Detektion, eingesetzt.



DE 197 36 624 C 1

DE 197 36 624 C 1

Beschreibung

Die Erfindung betrifft eine Einrichtung zur Signalverarbeitung für ein Funk-Kommunikationssystem, insbesondere ein Mobilfunknetz.

In Kommunikationssystemen werden Nachrichten (beispielsweise Sprache, Bildinformation oder andere Daten) über Übertragungskanäle übertragen, bei Funk-Kommunikationssystemen erfolgt dies mit Hilfe von elektromagnetischen Wellen über eine Funkschnittstelle. Das Abstrahlen der elektromagnetischen Wellen erfolgt dabei mit Trägerfrequenzen, die in dem für das jeweilige System vorgesehenen Frequenzband liegen. Beim GSM (Global System for Mobile Communication) liegen die Trägerfrequenzen im Bereich von 900 MHz. Für zukünftige Funk-Kommunikationssysteme, beispielsweise das UMTS (Universal Mobile Telecommunication System) oder andere Systeme der 3. Generation sind Frequenzen im Frequenzband von ca. 2000 MHz vorgesehen.

Die abgestrahlten elektromagnetischen Wellen werden aufgrund von Verlusten durch Reflexion, Beugung und Abstrahlung infolge der Erdkrümmung und dergleichen gedämpft. Infolgedessen sinkt die Empfangsleistung, die bei der empfangenden Funkstation zur Verfügung steht. Diese Dämpfung ist ortsabhängig und bei sich bewegendenden Funkstationen auch zeitabhängig. Bei einer Mehrwegeausbreitung kommen mehrere Signalkomponenten unterschiedlich verzögert bei der empfangenden Funkstation an. Die geschilderten Einflüsse beschreiben den verbindungsindividuellen Übertragungskanal.

Aus DE 195 49 158 ist ein Funk-Kommunikationssystem bekannt, das eine CDMA-Teilnehmerseparierung (CDMA Code Division Multiple Access) nutzt, wobei die Funkschnittstelle zusätzlich eine Zeitmultiplex-Teilnehmerseparierung (TDMA Time Division Multiple Access) aufweist. Empfangsseitig wird ein JD-Verfahren (gemeinsame Detektion - Joint Detection) angewendet, um unter Kenntnis von CDMA-Codes mehrerer Teilnehmer eine verbesserte Detektion der übertragenen Daten vorzunehmen. Dabei ist es bekannt, daß einer Verbindung über die Funkschnittstelle zumindest zwei Datenkanäle zugeteilt werden können, wobei jeder Datenkanal durch einen individuellen Spreizcode unterscheidbar ist.

Es ist aus dem GSM-Mobilfunknetz bekannt, daß übertragene Daten als Funkblöcke (Bursts) innerhalb von Zeitschlitzten übertragen werden, wobei innerhalb eines Funkblockes Mittambeln mit bekannten Symbolen enthalten sind. Diese Mittambeln können im Sinne von Trainingssequenzen zum empfangsseitigen Abstimmen der Funkstation genutzt werden. Die empfangende Funkstation führt anhand der Mittambeln eine Schätzung der Kanalimpulsantworten für verschiedene Übertragungskanäle durch. Die geschätzten Kanalimpulsantworten werden für die spätere Datendetektion benötigt.

Die Daten werden über die Funkschnittstelle codiert übertragen, wozu sendeseitig eine Kanalcodierung vorgenommen wird, die nach der Datendetektion empfangsseitig mit einer Kanaldecodierung korrespondiert.

Insbesondere bei der im TD/CDMA-Verfahren genutzten gemeinsamen Detektion, siehe auch DE 41 21 356 A1, ist ein komplexer Algorithmus auszuführen, der eine große Rechenleistung erfordert. Gleichzeitig dürfen die Signalverarbeitungsmittel auch nicht zu aufwendig und kostspielig sein. Beispielsweise für Mobilstationen ist die wirtschaftliche Herstellbarkeit der Komponenten zur Signalverarbeitung entscheidend für den Markterfolg des Produktes.

Der Erfindung liegt folglich die Aufgabe zugrunde, eine Einrichtung zur Signalverarbeitung anzugeben, die eine effi-

ziente Nutzung von digitalen Signalverarbeitungsmitteln ermöglicht. Die Aufgabe wird durch die Einrichtung mit den Merkmalen des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind den Unteransprüchen zu entnehmen.

Erfindungsgemäß enthält die Einrichtung zur Signalverarbeitung für ein Funk-Kommunikationssystem einen Kanalschätzer, einen Datenschätzer und einen Kanaldecodierer, wobei zumindest Teile des Datenschätzers in zumindest einem digitalen Signalverarbeitungsmittel durch Module realisiert werden. Ein Teil der Module wird dabei parallel zu anderen Modulen ausgeführt.

Es wird eine Untergliederung des Algorithmus zur Signalverarbeitung in mehrere Teilschritte eingeführt, die als Module parallel zueinander abgewickelt werden können. Damit wird eine Limitierung der gesamten Rechenleistung durch die Leistungsfähigkeit eines einzelnen Signalprozessors umgangen und ein Vielzahl von Lösungsmöglichkeiten durch eine Verknüpfung der Module eröffnet. Durch die Parallelisierung können langsamere Signalverarbeitungsmittel eingesetzt werden, wodurch in der Einrichtung Strom gespart wird. Dies ist besonders bei Mobilstationen wichtig.

Nach einer vorteilhaften Weiterbildung der Erfindung ist das Signalverarbeitungsmittel derart ausgeprägt, daß die Module zur Verarbeitung auf mehrere Verarbeitungsmittel verteilt werden, wodurch eine größere Rechenleistung verfügbar wird. Die Verknüpfung der Module erfolgt vorteilhafterweise gemäß einem Petrinetz. Das Petrinetz beschreibt die Verknüpfung der Module und die nötige Datenkommunikation der Module untereinander. Durch die Beschreibung mit einem Petrinetz ist eine Parallelisierung ohne Kenntnis der Schaltungstechnik zur Implementierung der Lösung in einer Mobilstation oder einer Basisstation möglich.

Es ist weiterhin vorteilhaft, daß durch die Einrichtung ein aus zumindest zwei Datenteilen und einer Mittambel mit bekannten Symbolen bestehender Funkblock verarbeitet wird - wie in TDMA-Systemen -, wobei die zwei Datenteile parallel verarbeitet werden. Da die Daten der zwei Datenteile nicht voneinander abhängig sind, kann eine parallele Verarbeitung eine weitere Beschleunigung der Abarbeitung des Algorithmus bzw. die Nutzung von langsameren Signalverarbeitungsmitteln erleichtern.

Nach einer weiteren vorteilhaften Ausprägung der Erfindung werden Module zum Matrixbilden, zum Matrixmultiplizieren und zum Cholesky-Zerlegen für beide Datenteile gemeinsam genutzt. Durch diese Module werden Daten erzeugt, die zur Detektion für beide Datenteile genutzt werden. Zusätzlich oder alternativ kann die Interferenzeliminierung und die angepaßte Filterung parallel zur Cholesky-Zerlegung ausgeführt werden. Hierdurch wird Rechenaufwand gespart, der insbesondere bei einer aufwendigen gemeinsamen Detektion anfällt.

Es ist vorteilhaft, daß die Symbole mehrerer Funkblöcke durch den Kanalschätzer, den Datenschätzer und den Kanaldecodierer parallel verarbeitet werden. Die Datenschätzung benötigt die Ausgangswerte der Kanalschätzung und die Kanaldecodierung die detektierten Daten. Währenddessen für einen Funkblock die Datenschätzung durchgeführt wird, wird nach dieser Weiterbildung der Erfindung für den darauffolgenden Funkblock bereits die Kanalschätzung vorgenommen. Das Signalverarbeitungsmittel ist vorteilhafterweise derart ausgeprägt, daß mehrere Funkblöcke entsprechend eines Pipelining-Verfahrens parallel detektiert werden, wobei die Verarbeitung aufeinanderfolgende Blöcke unabhängig voneinander sein kann.

Nach einer weiteren vorteilhaften Ausführung der Erfindung ist das Signalverarbeitungsmittel derart ausgeprägt,

daß die Module an ihre Funktionen angepaßte Rechengenauigkeiten und individualisiert entweder Fest- oder Fließkommarechnung nutzen. Damit muß kein Maximalaufwand für die Signalverarbeitungsmittel vorgesehen werden, der nicht für alle Module benötigt wird. Die Module können als Programmodule (in Signalprozessoren) oder als schaltungstechnisch realisierte Signalverarbeitungsmittel (FPGA, ASIC) realisiert werden. Die Module sind als kommunizierende Programmodule auf mehrere Prozessoren verteilt oder als kommunizierende Programmodule in einem Prozessor realisiert, wobei diese kommunizierenden Programmodule die Synchronisation der Signalverarbeitung steuern und die Signalverarbeitung auf weitere Prozessoren verteilen. Alternativ werden die Module parallel auf individuellen Prozessoren realisiert. Durch die Kommunikation zwischen den Modulen wird sichergestellt, daß ein Modul nur Daten verarbeitet, wenn bestimmte Vorbedingungen erfüllt sind und der Modul somit einen Auftrag zur Signalverarbeitung erhält. Liegen die Ergebnisse der Signalverarbeitung des Moduls vor, so wird dies gemeldet und weitere Module nutzen die Daten. Durch diese gesteuerte Parallelisierung wird die Signalverarbeitung flexibel und hardwareunabhängig implementierbar.

Ausführungsbeispiele der Erfindung werden anhand der beiliegenden Zeichnungen näher erläutert.

Dabei zeigen

Fig. 1 ein Blockschaltbild eines Mobilfunknetzes,

Fig. 2 eine schematische Darstellung der Rahmenstruktur der Funkschnittstelle,

Fig. 3 eine schematische Darstellung des Aufbaus eines Funkblocks,

Fig. 4 ein Blockschaltbild des Empfängers einer Funkstation,

Fig. 5 ein Blockschaltbild des digitalen Signalverarbeitungsmittels,

Fig. 6 ein Instanzenetz der digitalen Signalverarbeitung, und

Fig. 7 ein Petrinetz der digitalen Signalverarbeitung.

Das in Fig. 1 dargestellte Funk-Kommunikationssystem entspricht in seiner Struktur einem bekannten GSM-Mobilfunknetz, das aus einer Vielzahl von Mobilvermittlungsstellen MSC besteht, die untereinander vernetzt sind bzw. den Zugang zu einem Festnetz PSTN herstellen. Weiterhin sind diese Mobilvermittlungsstellen MSC mit jeweils zumindest einem Basisstationscontroller BSC verbunden. Jeder Basisstationscontroller BSC ermöglicht wiederum eine Verbindung zu zumindest einer Basisstation BS. Eine solche Basisstation BS ist eine Funkstation, die über eine Funkschnittstelle eine Funkverbindung zu Mobilstationen MS aufbauen kann.

In Fig. 1 sind beispielhaft drei Funkverbindungen zur Übertragung von Nutzinformationen n_i und Signalisierungsinformationen s_i zwischen drei Mobilstationen MS und einer Basisstation BS dargestellt, wobei einer Mobilstation MS zwei Datenkanäle DK1 und DK2 und den anderen Mobilstationen MS jeweils ein Datenkanal DK3 bzw. DK4 zugeteilt sind. Ein Operations- und Wartungszentrum OMC realisiert Kontroll- und Wartungsfunktionen für das Mobilfunknetz bzw. für Teile davon. Die Funktionalität dieser Struktur wird vom Funk-Kommunikationssystem nach der Erfindung genutzt; sie ist jedoch auch auf andere Funk-Kommunikationssysteme übertragbar, in denen die Erfindung zum Einsatz kommen kann.

Die Basisstation BS ist mit einer Antenneneinrichtung verbunden, die z. B. aus drei Einzelstrahlern besteht. Jeder der Einzelstrahler strahlt gerichtet in einen Sektor der durch die Basisstation BS versorgten Funkzelle. Es können jedoch alternativ auch eine größere Anzahl von Einzelstrahlern (ge-

maß adaptiver Antennen) eingesetzt werden, so daß auch eine räumliche Teilnehmerseparierung nach einem SDMA-Verfahren (Space Division Multiple Access) eingesetzt werden kann. Im weiteren werden nur die Empfangssignale einer Antenneneinrichtung mit einem Einzelstrahler betrachtet.

Die Basisstation BS stellt den Mobilstationen MS Organisationsinformationen über den Aufenthaltsbereich (LA location area) und über die Funkzelle (Funkzellenkennzeichen) zur Verfügung. Die Organisationsinformationen werden gleichzeitig über alle Einzelstrahler der Antenneneinrichtung abgestrahlt.

Die Verbindungen mit den Nutzinformationen n_i und Signalisierungsinformationen s_i zwischen der Basisstation BS und den Mobilstationen MS unterliegen einer Mehrwegeausbreitung, die durch Reflektionen beispielsweise an Gebäuden zusätzlich zum direkten Ausbreitungsweg hervorgerufen werden. Durch eine gerichtete Abstrahlung durch bestimmte Einzelstrahler der Antenneneinrichtung AE ergibt sich im Vergleich zur omnidirektionalen Abstrahlung ein größerer Antennengewinn. Die Qualität der Verbindungen wird durch die gerichtete Abstrahlung verbessert.

Geht man von einer Bewegung der Mobilstationen MS aus, dann führt die Mehrwegeausbreitung zusammen mit weiteren Störungen dazu, daß bei der empfangenden Mobilstation MS sich die Signalkomponenten der verschiedenen Ausbreitungswege eines Teilnehmersignals zeitabhängig überlagern. Weiterhin wird davon ausgegangen, daß sich die Teilnehmersignale verschiedener Basisstationen BS am Empfangsort zu einem Empfangssignal r_x in einem Frequenzkanal überlagern. Aufgabe einer empfangenden Mobilstation MS ist es, in den Teilnehmersignalen übertragene Datensymbole d der Nutzinformationen n_i , Signalisierungsinformationen s_i und Daten der Organisationsinformationen zu detektieren.

Die Rahmenstruktur der Funkschnittstelle ist aus Fig. 2 ersichtlich. Gemäß einer TDMA-Komponente ist eine Aufteilung eines breitbandigen Frequenzbereiches, beispielsweise der Bandbreite $B = 1,6$ MHz, in mehrere Zeitschlitzes, beispielsweise 8 Zeitschlitzes ts_1 bis ts_8 vorgesehen. Jeder Zeitschlitz ts innerhalb des Frequenzbereiches B bildet einen Frequenzkanal. Innerhalb der Frequenzkanäle, die zur Nutzdatenübertragung vorgesehen sind, werden Informationen mehrerer Verbindungen in Funkblöcken übertragen. Gemäß einer FDMA (Frequency Division Multiple Access)-Komponente sind dem Funk-Kommunikationssystem mehrere Frequenzbereiche B zugeordnet. Eine CDMA-Komponente wird durch die z. B. acht (0..7) CDMA-Codes in einem Zeitschlitz ts gebildet.

Gemäß Fig. 3 bestehen diese Funkblöcke zur Nutzdatenübertragung aus Datenteilen dt mit Datensymbolen d , in denen Abschnitte mit empfangsseitig bekannten Mittambeln m eingebettet sind. Die Daten d sind verbindungsindividuell mit einer Feinstruktur, einem Spreizcode (CDMA-Code), gespreizt, so daß empfangsseitig beispielsweise K Datenkanäle DK1, DK2, DK3,... DKK durch diese CDMA-Komponente separierbar sind. Jedem dieser Datenkanäle DK1, DK2, DK3,... DKK wird sendeseitig pro Symbol eine bestimmte Energie E zugeordnet.

Die Spreizung von einzelnen Symbolen der Daten d mit Q Chips bewirkt, daß innerhalb der Symboldauer T_s Q Subabschnitte der Dauer T_c übertragen werden. Die Q Chips bilden dabei den individuellen CDMA-Code. Die Mittambel m besteht aus L Chips, ebenfalls der Dauer T_c . Weiterhin ist innerhalb des Zeitschlitzes ts eine Schutzzeit $guard$ der Dauer T_g zur Kompensation unterschiedlicher Signallaufzeiten der Verbindungen aufeinanderfolgender Zeitschlitzes ts vorgesehen.

Innerhalb eines breitbandigen Frequenzbereiches B werden die aufeinanderfolgenden Zeitschlitzte t_s nach einer Rahmenstruktur gegliedert. So werden acht Zeitschlitzte t_s zu einem Rahmen zusammengefaßt, wobei ein bestimmter Zeitschlitz des Rahmens wiederkehrend von einer Gruppe von durch verschiedene CDMA-Codes unterscheidbare Verbindungen genutzt wird.

In Fig. 4 ist der Empfangspfad der Einrichtung für ein Sendefrequenzband von 2000 MHz anhand von funktionalen Teilmodulen E1 bis E14 detailliert dargestellt. Im Teilmodul E1 erfolgt die Umsetzung der Empfangssignale r_x aus dem Sendefrequenzband in den Tiefpaßbereich und die Aufspaltung in eine reale und eine imaginäre Komponente. Im Teilmodul E2 erfolgt eine analoge Tiefpaßfilterung und im Teilmodul E3 schließlich eine 2-fache Überabtastung des Empfangssignals mit 13/3 MHz und einer Wortbreite von 12 bit.

Im Teilmodul E4 erfolgt eine digitale Tiefpaßfilterung mit einem Filter der Bandbreite 13/6 MHz mit möglichst hoher Flankensteilheit zur Kanaltrennung. Anschließend erfolgt im Teilmodul E4 eine 2 : 1 Dezimierung des 2-fach überabgetasteten Signals.

Das derart gewonnene Empfangssignal e besteht im wesentlichen aus zwei Teilen, nämlich aus einem Anteil e_1 zur Kanalschätzung und aus den Anteilen e_2 zur Datenschätzung. Im Teilmodul E5 erfolgt die Schätzung aller Kanalimpulsantworten $h^{(k)}$ mittels eines bekannten Mittambelgrundcodes m aller im jeweiligen Zeitschlitz übertragener Datenkanäle.

Im Teilmodul E6 werden Parameter $b^{(k)}$ für angepaßte Filter für jeden Datenkanal unter Verwendung der CDMA-Codes c bestimmt. Im Teilmodul E7 erfolgt die Eliminierung der von den Mittambeln $m^{(k)}$ herrührenden Interferenzen in den zur Datenschätzung benutzten Empfangsblöcken $e_{1/2}$. Dies ist durch die Kenntnis von $h^{(k)}$ und $m^{(k)}$ möglich.

Im Teilmodul E8 erfolgt die Berechnung der Kreuzkorrelationsmatrix $A^{*T} A$. Da $A^{*T} A$ Töplitzstruktur hat, ist hier nur die Berechnung eines kleinen Teils der Matrix nötig, der dann zur Erweiterung auf die komplette Größe verwendet werden kann. Im Teilmodul E9 erfolgt eine Cholesky-Zerlegung von $A^{*T} A$ in $H^{*T} H$, wobei H eine obere Dreiecksmatrix ist. Aufgrund der Töplitzstruktur von $A^{*T} A$ hat auch H näherungsweise eine Töplitzstruktur und muß nicht vollständig berechnet werden. Ein Vektor s repräsentiert die Kehrwerte der Diagonalelemente von H , die vorteilhaft bei den Gleichungssystemlöstern benutzt werden können.

Im Teilmodul E10 erfolgt eine angepaßte Filterung (matched filter) der Empfangssymbolfolgen $e_{1/2}$ mit $b^{(k)}$. Teilmodul E11 realisiert die Gleichungssystemlöser 1 für $H^{*T} \cdot z_{1/2} = e_{1/2}$, und Teilmodul E12 die Gleichungssystemlöser 2 für $H \cdot d_{1/2} = z_{1/2}$. Im Teilmodul E13 werden die geschätzten Daten $d_{1/2}$ demoduliert, entwurfelt und schließlich mittels Viterbi-Decodierer faltungsdecodiert. Die decodierten Datenblöcke $e_{1/2}^{(k)}$ werden wahlweise einer ersten Datensenke D1 oder über den Quellendecodierer E14 einer zweiten Datensenke D2 zugeführt. Die Quellendecodierung ist bei Datenblöcken notwendig, die über Signalisierungskanäle SACCH oder FACCH übertragen wurden.

Empfangsseitig (siehe Fig. 4) findet nach einer analogen Verarbeitung, d. h. Verstärkung, Filterung, Konvertierung ins Basisband im HF-Teil, eine digitale Tiefpaßfilterung der Empfangssignale r_x in einen digitalen Tiefpaßfilter statt. Ein Teil des digitalisierten Empfangssignals e , der durch einen Vektor e der Länge $L = M \cdot W$ repräsentiert wird und keine Interferenzen des Datenteils d enthält, wird einem Kanalschätzer übermittelt.

Die Datenschätzung im Joint Detection Datenschätzer wird für alle Verbindungen gemeinsam durchgeführt. Die

CDMA-Codes werden durch $c^{(k)}$ die Empfangsdaten mit $d^{(k)}$ und die korrespondierenden Kanalimpulsantworten mit $h^{(k)}$ repräsentiert, wobei $k = 1$ bis K ist.

Der Teil des Empfangssignals der für die Datenschätzung benutzt wird, wird durch den Vektor

$$e = A \cdot d + n$$

beschrieben, wobei A die Systemmatrix mit den a-priori bekannten CDMA-Codes $c^{(k)}$ und den geschätzten Kanalimpulsantworten $h^{(k)}$ ist. Der Vektor d ist eine Kombination der Daten $d^{(k)}$ jedes Datenkanals gemäß folgender Gleichung:

$$d = [d_1^{(1)}, d_1^{(2)}, \dots, d_1^{(K)}, \dots, d_N^{(1)}, \dots, d_N^{(K)}]$$

Für diese Symbolanordnung hat die Systemmatrix A eine Bandstruktur, die zur Reduzierung der Komplexität des Algorithmus genutzt wird. Der Vektor n enthält den Rauschanteil. Die Datenschätzung wird durch einen Zero Forcing Block Linear Equalizer (ZF-BLE) nach folgender Gleichung durchgeführt:

$$d = (A^{*T} A)^{-1} A^{*T} e.$$

Die Komponenten haben kontinuierliche Werte und sind nicht manipulierte Schätzwerte der Datensymbole d . Um die Berechnung von d zu vereinfachen, kann das Problem in ein lineares Gleichungssystem der Form

$$(A^{*T} A)d = A^{*T} e$$

umgeschrieben werden, wobei nach einer Cholesky-Zerlegung

$$A^{*T} A = H^{*T} H$$

die Bestimmung der Datensymbole d auf das Lösen folgender zwei Systeme linearer Gleichungen

$$H^{*T} Z = A^{*T} e \text{ mit } H \cdot d = z$$

reduziert wird. Die Lösung dieser Gleichungssysteme kann rekursiv durchgeführt werden. H ist eine obere Dreiecksmatrix und H^{*T} ist eine untere Dreiecksmatrix.

In Fig. 5 ist ein digitales Signalverarbeitungsmittel DSP gezeigt, das empfangsseitig bereits digitalisierte Empfangssignale r_x aufnimmt und die geschätzten Datensymbole d abgibt. Das digitale Signalverarbeitungsmittel DSP wird beispielsweise durch den Signalprozessor TMS320C80 realisiert und enthält fünf Unterprozessoren, welche verschiedene Module parallel bearbeiten können. Vier dieser Unterprozessoren sind auf Integer-Arithmetik optimiert und werden als Parallelprozessoren PP bezeichnet. Der fünfte Unterprozessor wird als Masterprozessor MP bezeichnet, der multitaskfähig ist. Die Parallelprozessoren PP sind als digitale Signalprozessoren DSP1, DSP2, DSP3, DSP4 realisiert. Weiterhin enthält das digitale Signalverarbeitungsmittel DSP einen Speicher SP. Für einen Teil der Module können jedoch alternativ auch anwendungsspezifische Schaltkreise eingesetzt werden.

Um die Datenverarbeitung flexibel zu gestalten, wird auf Zwangssequentialisierungen verzichtet. Eine Parallelisierung wird durch Verteilung der Algorithmen auf mehrere Tasks (Module) erreicht, d. h. die Algorithmen selbst werden nicht parallelisiert. In einem Task ist jeweils ein Einzelalgorithmus implementiert. Im weiteren wird nur die Signalverarbeitung für einen Funkblock gezeigt. Es können jedoch auch unterschiedliche Funkblöcke nach dem erläuterten

Schema parallel ausgewertet werden.

Die Module kommunizieren miteinander, um sich untereinander zu synchronisieren. Dies erfolgt mit einem Multitasking-Betriebssystem und wird durch den Masterprozessor MP realisiert. Die Parallelprozessoren PP können nur auf Anweisung des Masterprozessors MP oder eines anderen Parallelprozessors PP Funktionen abarbeiten und zurückmelden, daß die Signalverarbeitung beendet ist. Die eingehenden Aufträge werden in der Reihenfolge ihres Eintreffens bearbeitet. Aus diesem Grund wird für jeden Algorithmus ein Modul auf dem Masterprozessor MP implementiert, unabhängig davon, ob die eigentliche Datenverarbeitung direkt auf den Masterprozessor MP erfolgt oder an einen Parallelprozessor PP delegiert wird.

Aufgabe des Multitasking-Systems ist es, sicherzustellen, daß alle Algorithmen in der richtigen Reihenfolge aufgerufen werden, und daß die Unterprozessoren des digitalen Signalverarbeitungsmittels DSP möglichst günstig ausgelastet werden. Zu diesem Zweck werden alle Module, Unterprozessoren und externe Speicherbereiche im Speicher SP verwaltet.

Für den Masterprozessor MP werden Bibliotheksfunktionen zur Verfügung gestellt, welche den Multitaskingbetrieb ermöglichen. Module können durch Aufruf einer Funktion Task Create erzeugt werden. Den Modulen können verschiedene Prioritäten zugeordnet werden. Ein Modul wird dann ausgeführt, wenn kein Modul mit höherer Priorität laufbereit ist. Kommt ein Modul zur Ausführung, so gibt es den Prozessor wieder ab, wenn ein Modul mit höherer Priorität laufbereit wird, oder wenn das Modul warten muß, bis ein Ereignis eintritt.

Einem Modul können beim Erzeugen Argumente übergeben werden. Jedem Modul wird beim Erzeugen einer 32 Bit breite Variable übergeben. Diese Variable kann entweder einen Zeiger auf den Speicherbereich enthalten, in welchem sich die Argumente befinden, oder selbst das Argument des Moduls sein. Den Modulen sind Prioritäten aus dem Wertebereich von 0 bis 31 zugeordnet. Die höchsten Prioritäten erhalten die Module, welche zur Ansteuerung der Parallelprozessoren dienen. Dies sind die Module, welche die Kommunikationsrahmen für die Joint Detection-Algorithmen enthalten. Diese Module erhalten Prioritäten aus dem Bereich von 20 bis 30.

Der einzige Joint Detection-Algorithmus, welcher auf dem Masterprozessor MP direkt ausgeführt wird, ist der Cholesky-Zerleger. Um die Arbeit auf dem Parallelprozessoren PP nicht zu blockieren, muß seine Priorität niedriger sein als die der Rahmentasks. Die Priorität des Cholesky-Zerlegers ist jedoch höher, als die der Signalisierungsmodule. Als Priorität des Cholesky-Zerlegers wird 18 gewählt. Für die Signalisierung gilt, daß die Priorität einer Schicht um so niedriger ist, je höher die Schicht ist, da die höheren Schichten weniger zeitkritisch als die niedrigeren sind.

Für eine Ereigniskommunikation zwischen den Modulen stellt das Multitasking-Betriebssystem Semaphoren zur Verfügung. Semaphoren sind - bildlich ausgedrückt - Töpfe, in welche jedes Modul Marken werfen kann. Ein Modul kann ein Semaphor abfragen und ggf. eine Marke aus ihm entnehmen oder auch so lange passiv warten, bis eine Marke in das Semaphor gelegt wird. Wartet ein Modul an einem Semaphor, so gibt es den Prozessor ab und wird erst wieder laufbereit, wenn er eine Marke erhält, die ein anderes Modul in dieses Semaphor gelegt hat. Warten mehrere Module an einem Semaphor und wird eine Marke in dieses gelegt, so erhält dasjenige Modul das Semaphor, das am längsten wartet. Die Prioritäten der wartenden Module werden bei der Vergabe der Marken nicht berücksichtigt.

Semaphoren sind gut geeignet, um die Stellen eines sicher

markierten Petrinetzes zu implementieren, welches die nebenläufige Abarbeitung von Algorithmen in einem Multitasking-System beschreibt. Bei der Einrichtung zur Signalverarbeitung wird dies angewendet, indem die zeitliche Abfolge der Joint Detection-Algorithmen durch ein Petrinetz moduliert und mit Hilfe mit Semaphoren implementiert wird. Die Module, welche für die Synchronisierung der Algorithmen zuständig sind, nutzen für die Kommunikation untereinander Semaphoren. Da das Abholen und Versenden von Semaphoren relativ viel Rechenzeit in Anspruch nimmt, und das Betriebssystem keine Mehrmarkenflüsse unterstützt, werden Mehrmarkenflüsse durch Einmarkenflüsse kombiniert mit Zählern in den Tasks implementiert.

Zur Wertekommunikation zwischen den Modulen stellt das Betriebssystem Nachrichten zur Verfügung. Es werden Schnittstellen eingerichtet, an welche beliebige Module Nachrichten schicken können. Ein Modul kann entweder abfragen, ob an einer Schnittstelle eine Nachricht anliegt, und ggf. abholen, oder an der Schnittstelle passiv warten, bis eine Nachricht eintrifft. Wartet ein Modul an einer Schnittstelle, so gibt es den Prozessor ab und wird erst wieder laufbereit, wenn es Nachricht erhält, die ein anderer Modul an diese Schnittstelle geschickt hat. Warten mehrere Module an einer Schnittstelle, die eine Nachricht empfängt, so erhält dasjenige Modul die Nachricht, der am längsten wartet. Die Prioritäten der wartenden Module werden bei der Vergabe der Nachrichten nicht berücksichtigt.

Soll eine Nachricht versandt werden, so wird zunächst ein Nachrichtenspeicher für den Nachrichtenkopf und den Inhalt eingerichtet. Dieser Speicherbereich kann nach Empfang der Nachricht entweder wieder freigegeben werden oder zur Wiederverwendung an die Schnittstelle übergeben werden. Da es in einem Multitaskingsystem vergleichsweise aufwendig und rechenzeitintensiv ist, dynamisch Speicherplatz anzufordern und freizugeben und außerdem bei der Einrichtung nur vergleichsweise kurze Nachrichten Verwendung finden, wurde folgendes System zur Beschaffung von Nachrichtenspeichern gewählt.

Nachdem die Nachrichtenspeicher einmal allokiert wurden, werden sie nie wieder freigegeben sondern ein Modul, das einen Nachrichtenspeicher benötigt, holt sich diesen von der Schnittstelle ab und ein Modul, das eine Nachricht empfangen hat, gibt den Nachrichtenspeicher an diese Schnittstelle zurück.

Bisher wurde beschrieben, daß Module so lange warten können, bis eine Marke in ein Semaphor gelegt wurde oder bis an einer Schnittstelle eine Nachricht angekommen ist. Das Betriebssystem unterstützt auch die Möglichkeit zu warten, bis ein Ereignis aus einer Gruppe von Ereignissen eingetreten ist. Zu diesem Zweck besteht die Möglichkeit, für jedes Modul separat bis zu 32 Semaphoren und Schnittstellen als für dieses Modul relevant zu bezeichnen. Das Modul kann dann darauf warten, daß ein Ereignis eintritt, welches besagt, daß in einer beliebig festlegbaren Untergruppe dieser Gruppe ein Semaphor eine Marke oder eine Schnittstelle eine Nachricht erhalten hat. Ereignisse werden benötigt, wenn eine sog. farbige Stelle in einem Petrinetz durch mehrere Semaphoren implementiert wird und das Modul Marken von mehr als einer Farbe aus dieser Stelle akzeptiert.

Mit Ausnahme des Cholesky-Zerlegers werden alle Joint Detection-Algorithmen auf den Parallelprozessoren PP ausgeführt. Zur Ansteuerung hat jeder der Parallelprozessoren PP einen Anweisungspuffer und einen Argumentenpuffer in eigenen Parameterspeichern. Durch diese Puffer können die Module den Parallelprozessoren PP abzuarbeitende Funktionen und Argumente übergeben werden. Ein Parallelprozessor PP, der zur Zeit keine Funktion abarbeitet, führt

standardmäßig ein Rufen (polling) auf seinen Anweisungspuffer aus. So wird ein aktives Warten betrieben, bis der Anweisungspuffer für gültig erklärt wird und die Abarbeitung der im Anweisungspuffer spezifizierten Funktionen begonnen werden kann.

Solange ein Parallelprozessor PP die Funktion eines Anweisungspuffers bearbeitet, wird der Anweisungspuffer nicht verändert. Um dies sicherzustellen, werden für die Parallelprozessoren PP Semaphoren eingerichtet, die genau dann eine Marke enthalten, wenn ein neuer Auftrag in den Puffer geschrieben werden darf. Bevor ein Modul den Anweisungspuffer eines Parallelprozessors PP beschreiben darf, holt es zunächst die Marke aus dem zugeordneten Semaphor. Dieses Verfahren stellt sicher, daß immer nur ein Modul auf dem Anweisungspuffer des Parallelprozessors PP Zugriff hat. Eine parallelprozessorbezogene Auftragswarteschlange wird nicht eingerechnet, da nicht vorhersagbar ist, welcher Parallelprozessor PP als nächstes frei wird.

Hat ein Modul den Anweisungspuffer und den Argumentpuffer eines Parallelprozessors PP beschrieben, so erklärt es ihn für gültig und fordert den Parallelprozessor PP gleichzeitig auf, eine Unterbrechung abzusenden, wenn der Auftrag abgearbeitet wurde. Diese Unterbrechung führt dazu, daß ein Semaphor gesetzt wird, um dem Modul, das den Auftrag erteilt hat anzuzeigen, daß der Auftrag geschlossen ist. Gleichzeitig werden je eine Marke in die Semaphoren gelegt, die den Anweisungspuffer des Parallelprozessors PP und damit den Parallelprozessor PP selbst wieder freizugeben. Der Parallelprozessor DSP1 wird für die Module des Chipimpulsfilters und des Tiefpasses reserviert, da diese beiden Algorithmen jeweils zu festen Zeiten ablaufen müssen. Die Aufteilung der anderen Module auf die Parallelprozessoren DSP2, DSP3, DSP4 erfolgt zufällig. Benötigt ein Modul einen Parallelprozessor PP, so wartet sie darauf, daß in einen der Semaphoren eine Marke gelegt wird und erteilt ihren Auftrag dem ersten Prozessor, der frei wird. Da mehrere Module darauf warten können, daß ein Parallelprozessor frei wird, kann dies nicht mit Hilfe von Ereignissen geschehen. Es wird ein weiteres Semaphor definiert, um eine globale Warteschlange für Parallelprozessoraufträge einzurichten.

Der Masterprozessor MP reagiert auf verschiedene äußere Ereignisse und benötigt eine Zeitbasis. Die kleinste benötigte Zeiteinheit entspricht der Dauer eines Zeitschlitzes. Um solch eine Zeitbasis aufzubauen, erhält der Masterprozessor MP immer zu Beginn jedes neuen Zeitschlitzes eine Unterbrechung. Eine externe Unterbrechung wird durch das HF-Teil ausgelöst, wenn der FIFO-Speicher des A/D-Wandlers halb voll ist, oder wenn in Kürze Daten in den FIFO-Speicher des D/A-Wandlers geschrieben werden. Im ersten Fall startet der Tiefpaß und im zweiten Fall das Chipimpulsfilter. Die Parallelprozessoren PP senden eine Unterbrechung an den Masterprozessor MP, um diesen anzuzeigen, daß sie den letzten Auftrag abgeschlossen haben oder um den Masterprozessor MP während der Abarbeitung eines Auftrags eine Rückmeldung zu geben.

Die Fig. 6 und 7 zeigen beispielhaft einen Empfänger, wobei für die Kanal- und Datenschätzung nur ein Empfangspfad (wie in einer Mobilstation MS dargestellt ist) und für die Kanaldecodierung auch Signalisierungskanäle (wie in einer Basisstation BS dargestellt sind).

Fig. 6 beschreibt mittels eines Instanzenetzes, wie die Verteilung der Aufgaben des Empfängers einer Mobilstation MS modelliert werden. Zweck ist es, die empfangenen Werte des FIFO-Speichers des A/D-Wandlers abzuholen, daraus die gesendeten Daten zu ermitteln und entsprechend den logischen Kanälen an eine höhere Schicht weiterzuleiten. Zuvor muß sich jedoch die Mobilstation MS auf die Fre-

quenz und die Zeitbasis der Basisstation BS aufsynchronisieren.

Zur Datendetektion werden zunächst die Empfangswerte aus dem FIFO-Speicher des A/D-Wandlers abgeholt und tiefpaßgefiltert. Danach werden die zunächst zweifach überabgetasteten Empfangswerte dezimiert. Diese Aufgabe erfüllt die Instanz "Lowpass", die ihre Ausgabe in den Speicher "e" ablegt.

Bevor aus den Empfangswerten die Nutzdaten gewonnen werden können, schätzt die Instanz "Channel Estimator" die Kanalimpulsantwort. Der Kanalschätzer hat Lesezugriff auf den mittleren Teil der Speichers "e" und Schreibzugriff auf den Speicher "h" zur Aufnahme der Kanalimpulsantwort.

Die im Speicher "e" enthaltenen Empfangswerte lassen sich in drei Blöcke aufteilen. Der mittlere Teil ist nur von den Mittambeln der Sendefolge abhängig und wird vom Kanalschätzer benutzt. Die beiden anderen Teile der Empfangsfolge sind von den gesendeten Daten abhängig, enthalten aber auch in eine Symbolinterferenz mit der Mittambel m. Die Symbolinterferenz durch die Mittambelsymbole wird nicht von den Joint Detection Algorithmen beseitigt. Die Beseitigung der Mittambelsymbolinterferenz ist jedoch möglich, in dem nach der Kanalschätzung mit Hilfe der geschätzten Kanalimpulsantwort die Mittambelinterferenz näherungsweise berechnet und abgezogen wird. Diese Aufgabe übernimmt die Instanz "Mittambel Interference Eliminator 1" für den ersten Teil der Empfangsfolge "e" und die "Mittambel Interference Eliminator 2" für den dritten Teil der Empfangsfolge "e". Die beiden Mittambelinterferenzeliminierer haben Lesezugriff auf die Speicher "e" und "h" und schreiben ihre Ausgaben in die Speicher "e1" bzw. "e2".

Die Datenschätzung nach einem Joint Detection Verfahren erfolgt durch die Instanzen "Matrix Generator", "Matrix Multiplier 0", "Matrix Multiplier 1" bis "Matrix Multiplier SI", "Cholesky Decompositor", "Matched Filter 1", "Matched Filter 2", "Equation system A solver 1", "Equation system A solver 2", "Equation system B solver 1" und "Equation system B solver 2".

Dabei ist zu beachten, daß von einer variablen Länge der Kanalimpulsantwort ausgegangen wird, was dazu führt, daß sich die Intersymbolinterferenz über mehr als drei Symbole erstrecken kann. Folglich kann es notwendig sein, daß mehrere Instanzen zur Matrizenmultiplikation vorgesehen werden. Die Instanzen, welche die Joint Detection Algorithmen implementieren, benutzen die Speicher "e1, e2, ATA, ATe1, ATe2, H, dH, z1 und z2". Zur Aufnahme der Ergebnisse der Datenschätzung dienen die Speicher "dd[k], dds[k], ddf[k]".

Die so geschätzten Daten sind jedoch noch moduliert, verwürfelt, faltungscodiert und im Falle der Signalisierungskanäle blockcodiert. Für die logischen Kanäle ist ein Viterbi-Faltungsdecodierer vorgesehen, der die Faltungscodierung rückgängig macht. Die Demodulation und das Deinterleaving werden von den Viterbi-Faltungsdecodierern zusätzlich erledigt. Die Ausgaben der Viterbi-Faltungsdecodierer werden in die Speicher "ddq[k], dds[k], ddf[k]".

Auch für die Blockdecodierung wird für jeden der logischen Signalisierungskanäle eine eigene Instanz vorgesehen. Die Blockdecodierer von logischen Kanälen FACCH, SACCH schicken ihre Ausgaben per Betriebssystem-Nachricht an Schicht 2 Instanzen.

Die Implementierung der Instanzen erfolgt mittels mehrerer Module. Um eine größtmögliche Parallelisierung zu erreichen, sollte ein Modul nur eine Instanz implementieren, welche nebenläufig abgearbeitet werden kann. Um dies zu erreichen werden die meisten Instanzen in einem eigenen Modul implementiert. Die Instanzen "Blockdecoder" der logischen Kanäle werden mit den ihnen zugeordneten Instan-

zen "Viterbidecoder" in jeweils einem Modul zusammengefaßt.

Das Instanzenetz des Empfängers der Mobilstation MS nach Fig. 6 zeigt nur, wie die Aufgaben der Signalverarbeitung auf verschiedene Instanzen verteilt werden und auf welche Speicherbereiche die verschiedenen Instanzen Zugriff haben. Um die zeitliche Synchronisation der Instanzen zu modellieren, wird ein Petrinetz nach Fig. 7 benutzt.

Die Instanz "Frequency Synchronisator" muß als erste ausgeführt werden. Erst wenn die Mobilstation MS auf die Basisstation BS synchronisiert ist, kann Nutzinformation empfangen werden. Hat diese Instanz die Synchronisation vollzogen, so legt sie eine Marke in die Eingangsstelle der Instanz "Lowpass". Die Instanz "Frequency Synchronisator" wird einmal ausgeführt, so daß die Instanz "Lowpass" immer startbereit ist. Der Tiefpaß muß jedoch stets zu festen Zeiten starten, die durch eine im HF-Teil ausgelöste externe Unterbrechung angezeigt wird. Sobald der Tiefpaß den mittleren Teil der Empfangsfolge abgearbeitet hat, erteilt er der Instanz "Channel Estimator" Starterlaubnis. Ist die Empfangsfolge komplett abgearbeitet, wird auch noch den Instanzen "Interference Eliminator 1/2" Starterlaubnis erteilt.

Die Instanz "Channel Estimator" führt mit den drei Instanzen "Matrix Generator", "Interference Eliminator 1" und "Interference Eliminator 2" wegen gemeinsam benutzter Speicher jeweils ein Handshake durch. Die drei Instanzen "Matrix Generator", "Interference Eliminator 1" und "Interference Eliminator 2" können untereinander parallel bearbeitet werden.

Die Instanz "Matrix Generator" führt außer mit der Instanz "Channel Estimator" noch mit den beiden Instanzen "Matched Filter 1" und "Matched Filter 2" und den Instanzen "Matrix Multiplier 0" bis "Matrix Multiplier SI" wegen gemeinsamer Speicher Handshakes durch. Die Instanzen "Matrix Multiplier" ihrerseits führen jeweils mit der Instanz "Cholesky Decomposer" Handshakes aus. Die Instanz "Cholesky Decomposer" startet die Instanzen "Equation System A Solver 1" und "Equation System A Solver 2". Die wiederum starten die ihnen zugeordneten Instanzen "Equation System B Solver", welche die Starterlaubnis jeweils wieder an die Instanz "Cholesky Decomposer" zurückgeben.

Die Datenverarbeitung erfolgt für den ersten und den dritten Teil der Empfangsfolge weitgehend analog und parallel. Die Instanzen "Matched Filter" haben wegen gemeinsamer Speicherbereiche Handshakes mit den Instanzen "Interference Eliminator" und "Matrix Generator" auszuführen. Weiterhin erteilt die Instanz "Matched Filter" den Instanzen "Equation System A Solver" die Starterlaubnis, welche diese an die Instanzen "Equation System B Solver" weitergeben. Instanz "Equation System B Solver" gibt die Starterlaubnis an die Instanz "Matched Filter" zurück.

Die Synchronisation zwischen den Instanzen "Equation System B Solver" und den Instanzen "Viterbi Decoder" gestaltet sich komplizierter. Die Kommunikation wird komplett von der Instanz "Equation System B Solver 2" übernommen. Sobald die Instanz "Equation System B Solver 2" sich mit den anderen Instanzen synchronisiert hat und gestartet ist, erteilt sie der Instanz "Equation System B Solver 1" Starterlaubnis. Nachdem die Instanz "Equation System B Solver 1" der Instanz "Equation System B Solver 2" das Ende ihrer Arbeit gemeldet hat und auch "Equation System B Solver 2" seine Ausgangsdaten erzeugt hat, muß sie die Daten an den Viterbidecodierer des richtigen logischen Kanals weiterleiten. Den logischen Kanäle werden unterschiedliche farbige Marken zur Unterscheidung zugeordnet. Wie Ermittlung des richtigen Kanals liegt in der Verantwortung der Instanz "Equation System B Solver 2".

Zur Kommunikation mit den Viterbi-Decodierern hat die Transition der Instanz "Equation System B Solver 2" je eine Eingangsstelle und eine Ausgangsstelle, die für die Aufnahme mehrerer Marken ausgelegt sind. Bei einem Schaltungsvorgang – der einen Durchlauf des Algorithmus entspricht – entnimmt die Transition "Equation System B Solver 2" eine Marke einer bestimmten Farbe aus ihrer Eingangsstelle und legt nach dem Schalten eine Marke der gleichen Farbe in ihre Ausgangsstelle. Jede Farbe steht für einen logischen Kanal. Die Viterbi-Decodierer der logischen Kanäle warten, bis sich in ihrer gemeinsamen Eingangsstelle, die der Ausgangsstelle der Transition "Equation System B Solver 2" entspricht, genügend Marken ihrer Farbe angesammelt haben. Die Zahl der benötigten Marken entspricht jeweils der Verwürfelungstiefe auf diesem logischen Kanal. Hat ein Viterbidecoder seine Arbeit abgeschlossen, so legt er die Marken, die der Ausgangsstelle der Transition "Equation System B Solver 2" entnommen hat in deren Eingangsstelle. Desweiteren muß jede Instanz Viterbidecodierer ein Handshake mit der ihr zugeordneten Instanz "Blockdecoder" führen.

Die Instanzen "Blockdecoder" müssen sich nicht mit weiteren Instanzen synchronisieren, da sie ihre Ausgaben per Betriebssystem-Nachricht an die ihnen zugeordneten Schichten 2 Instanzen schicken. Damit sind die Ausgangsdaten den entsprechenden Kanälen zugeordnet.

Die in den Ausführungsbeispielen vorgestellte Einrichtung ist besonders für Mobilfunknetze mit einer Kombination von FDMA, TDMA und CDMA und damit für Anforderungen an Systeme der 3. Generation geeignet. Insbesondere eignet es sich für eine Implementierung in bestehende GSM-Mobilfunknetze, für die ein nur geringer Änderungsaufwand nötig ist.

Patentansprüche

1. Einrichtung zur Signalverarbeitung für ein Funk-Kommunikationssystem, mit einem Kanalschätzer (KS), mit einem Datenschätzer (D), und mit einem Kanaldecodierer (FD) wobei zumindest Teile des Datenschätzers (D) in zumindest einem digitalen Signalverarbeitungsmittel (DSP) durch Module (B4 bis E14) realisiert werden, und wobei zumindest Teile der Module (B4 bis E14) parallel ausgeführt werden.
2. Einrichtung nach Anspruch 1, bei der die Module (B4 bis E14) auf mehrere Verarbeitungsmittel (DSP1, DSP2, DSP3, DSP4) zur Bearbeitung verteilt werden.
3. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß die Verknüpfung der Module (B4 bis E14) gemäß einem Petrinetz erfolgt.
4. Einrichtung nach einem der vorherigen Ansprüche, bei der ein aus zumindest zwei Datenteilen (dt) und einer Mittambel (m) mit bekannten Symbolen bestehender Funkblock verarbeitet wird, wobei die zwei Datenteile (dt) parallel verarbeitet werden.
5. Einrichtung nach Anspruch 4, bei der der Datenschätzer (D) zur gemeinsamen Datenschätzung ausgeprägt ist und Module zum Matrixbilden (E8), zum Matrixmultiplizieren (E8) und zum Cholesky-Zerlegen (E9) für beide Datenteile (dt) gemeinsam genutzt werden.
6. Einrichtung nach Anspruch 4 oder 5, bei der der Datenschätzer (D) zur gemeinsamen Datenschätzung ausgeprägt ist und Module zum Interferenzeliminieren

(E7) und zur angepaßten Filterung (E10) parallel zur Cholesky-Zerlegung (E9) ausgeführt werden.

7. Einrichtung nach einem der vorherigen Ansprüche, bei der Symbole mehrerer Funkblöcke durch den Kanalschätzer (KS), den Datenschätzer (D) und den Kanaldecodierer (FD) parallel verarbeitet werden. 5

8. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß entsprechend eines Pipelining-Verfahrens parallel mehrere Funkblöcke detektiert werden, wobei die Kanalschätzung, die Datenschätzung und die Kanaldecodierung einzelne Pipelining-Schritte sind. 10

9. Einrichtung nach einem der vorherigen Ansprüche, bei der zumindest Teile des Kanalschätzers (KS), des Datenschätzer (D) und/des Kanaldecodierers (FD) derart ausgeprägt sind, daß unterschiedliche empfangene Funkblöcke parallel von unterschiedlichen Modulen verarbeitet werden. 15

10. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß die Module (B4 bis E14) an ihre Funktionen angepaßte Rechengenauigkeiten und individualisiert entweder Fest- oder Fließkommarechnung nutzen. 20

11. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß die Module (B4 bis E14) als kommunizierende Module (B4 bis E14) auf mehrere Prozessoren (DSP1, DSP2, DSP3, DSP4) verteilt sind. 25

12. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß die Module (B4 bis E14) als kommunizierende Programmodule (B4 bis E14) in einem Prozessor (DSP, MP) realisiert werden, wobei diese kommunizierenden Module (B4 bis E14) die Synchronisation der Signalverarbeitung steuern und die Signalverarbeitung auf weitere Prozessoren (PP, DSP1, DSP2, DSP3, DSP4) verteilen. 30

13. Einrichtung nach einem der vorherigen Ansprüche, bei der das Signalverarbeitungsmittel (DSP) derart ausgeprägt ist, daß die Module (B4 bis E14) parallel auf individuellen Prozessoren (PP, DSP1, DSP2, DSP3, DSP4) realisiert werden. 35

Hierzu 10 Seite(n) Zeichnungen

45

50

55

60

65

FIG 1

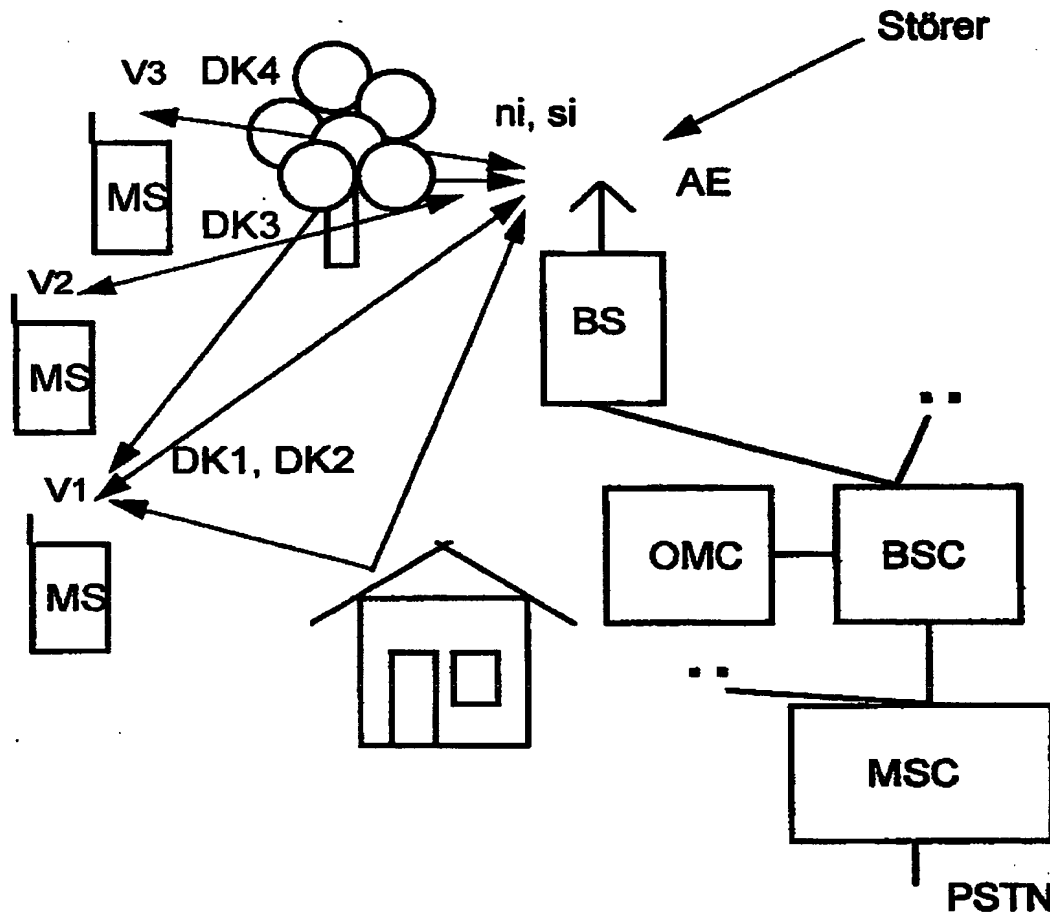


FIG 2

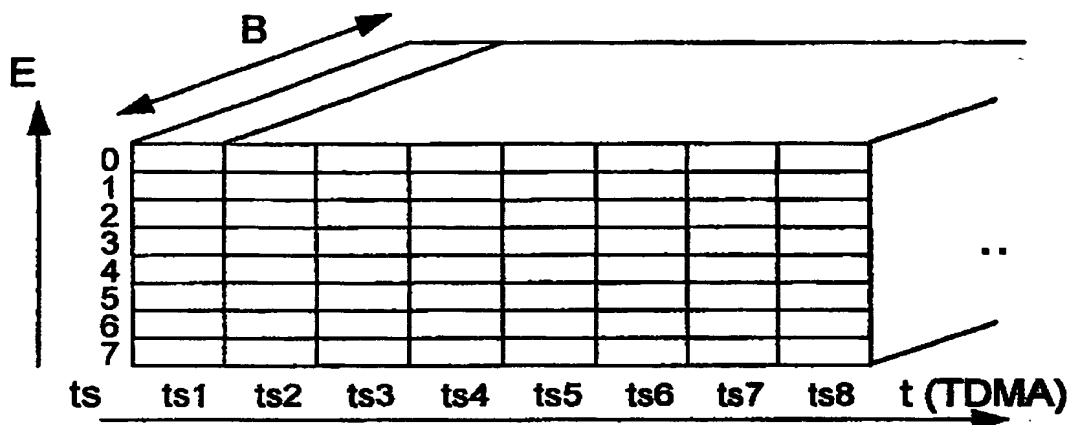


FIG 3

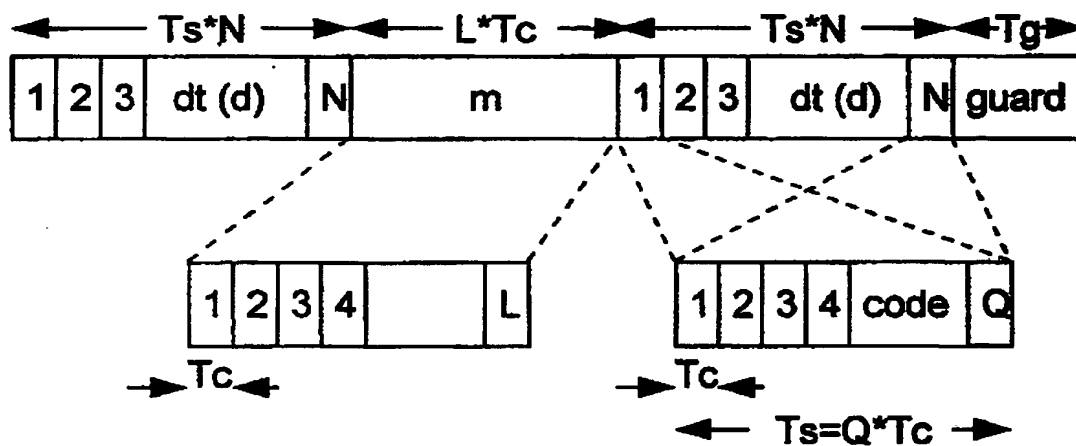


FIG 4

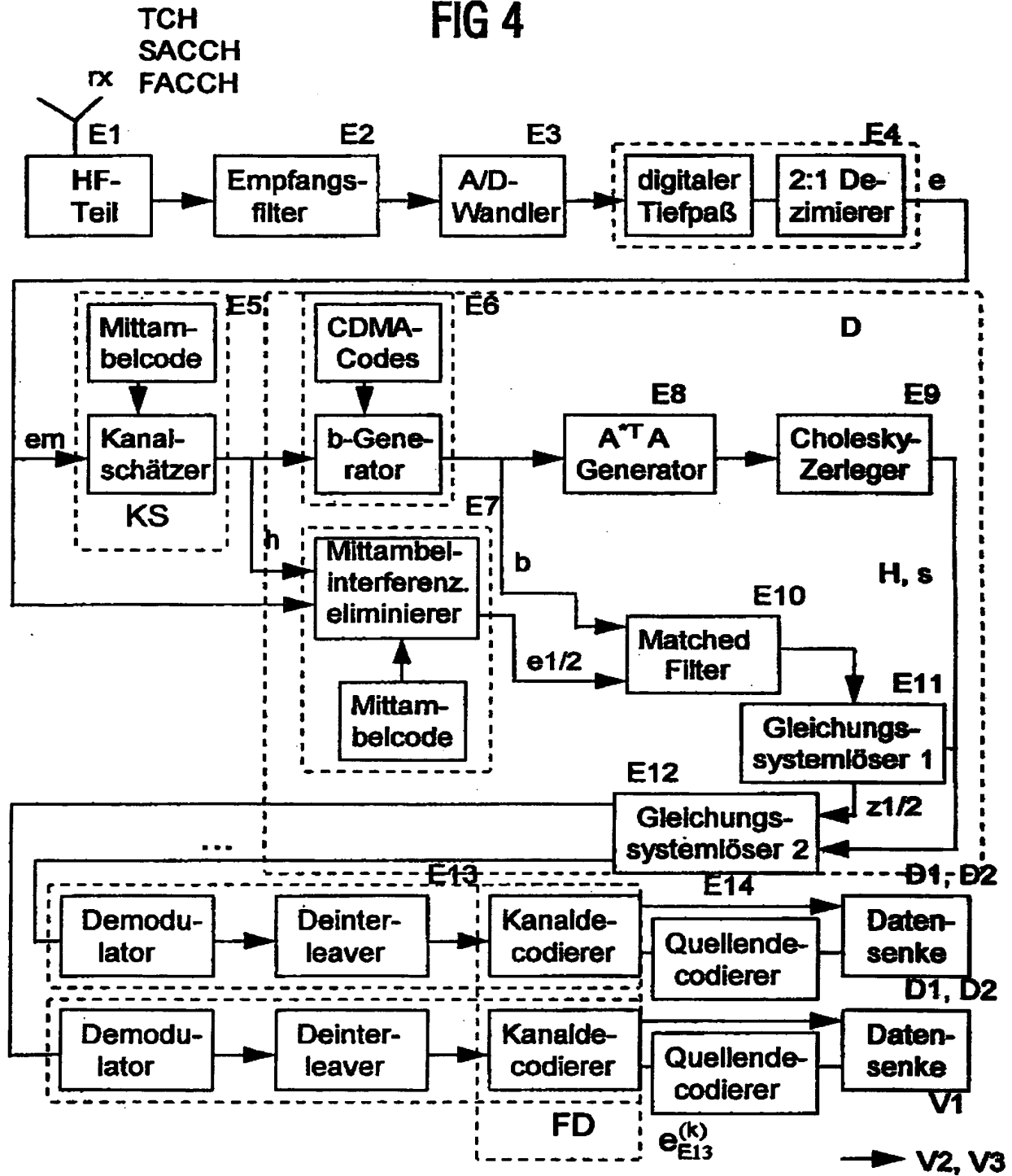
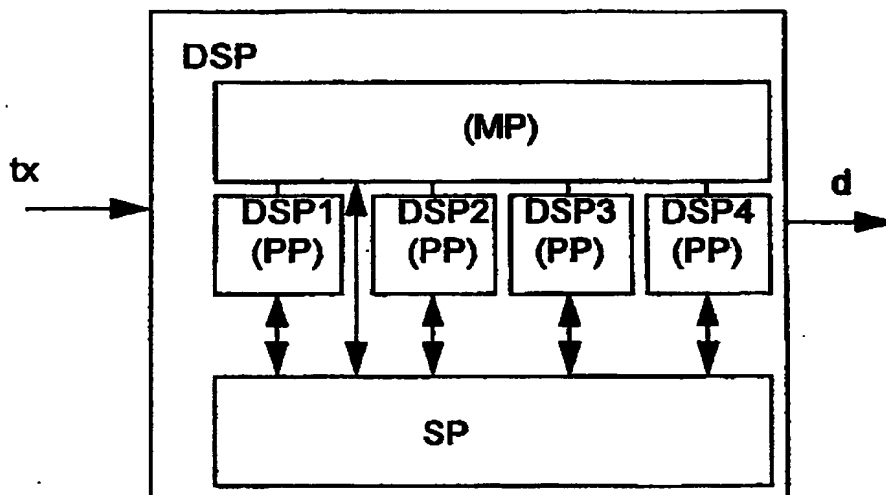


FIG 5



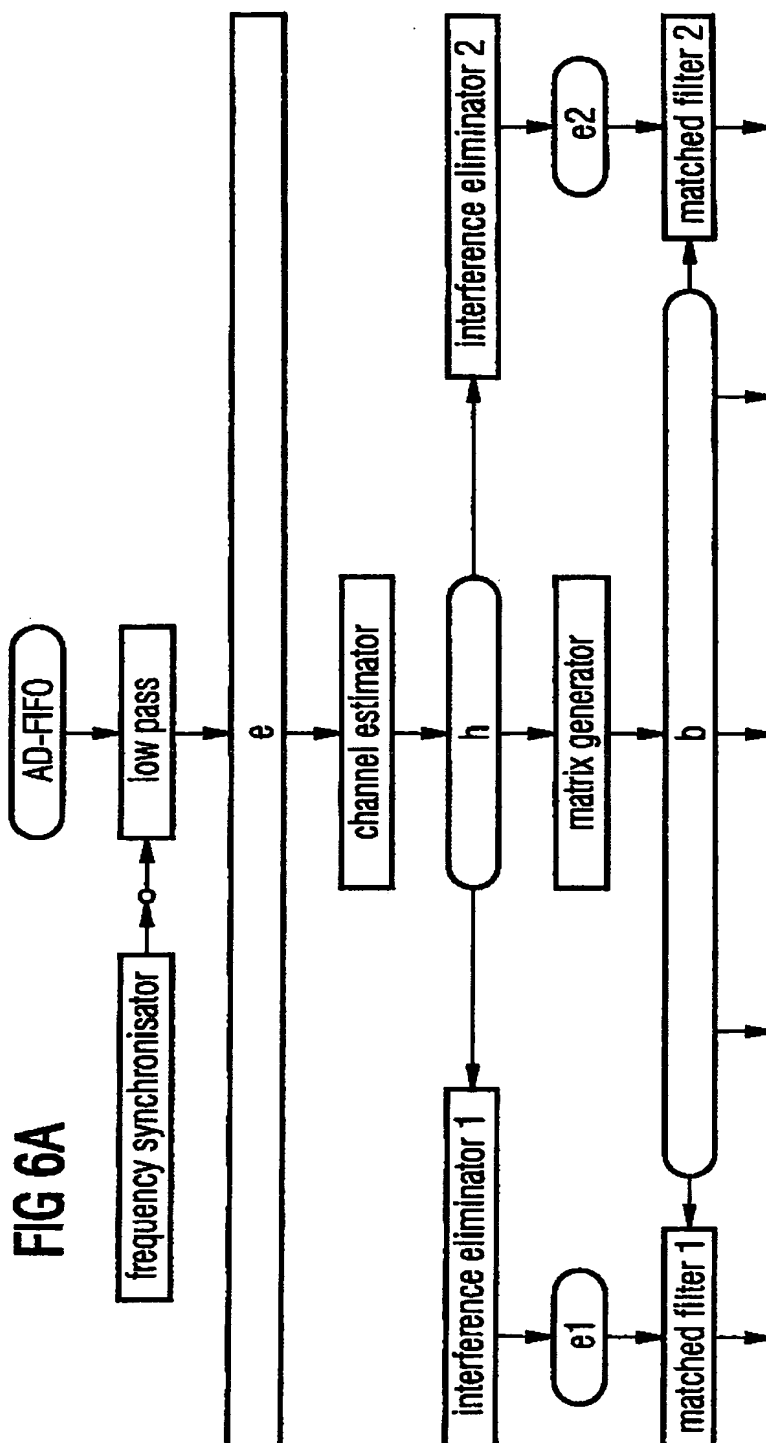
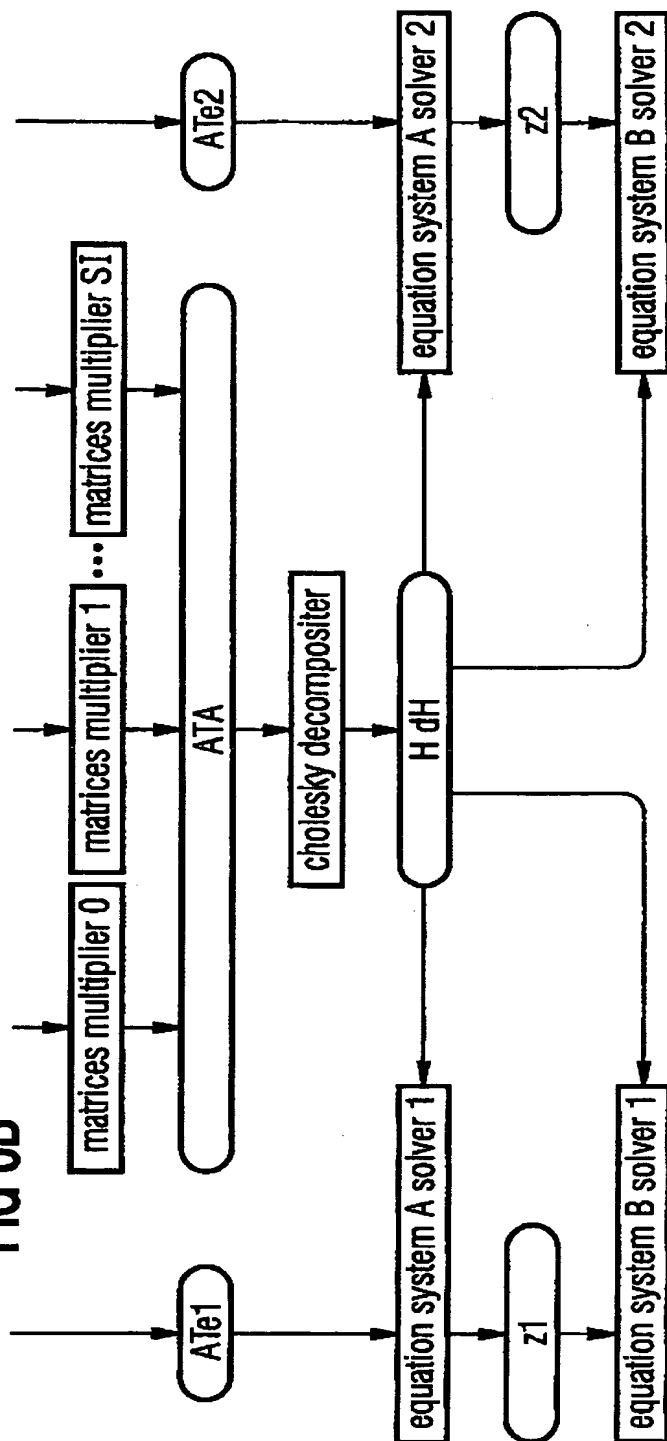


FIG 6B



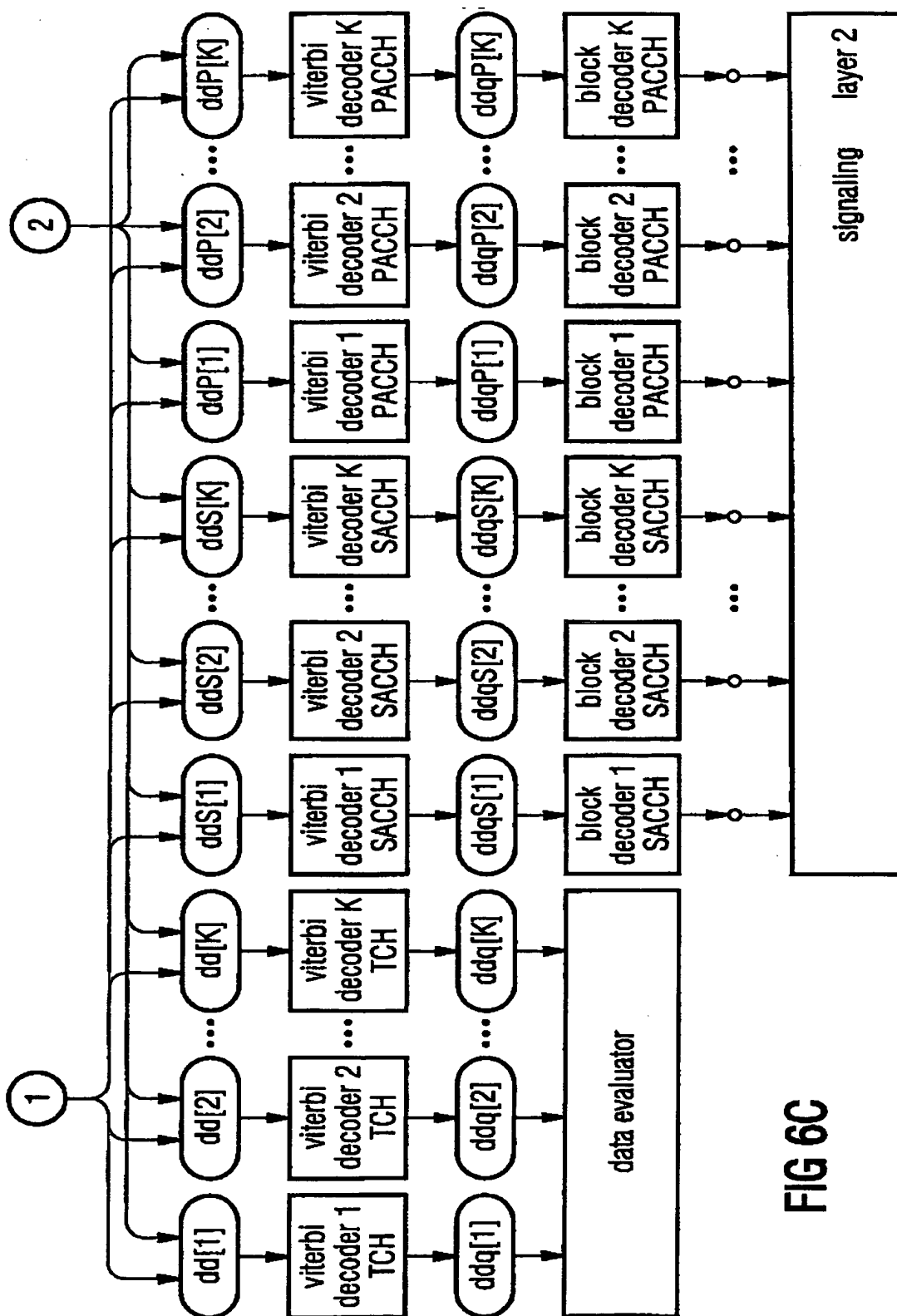


FIG 6C

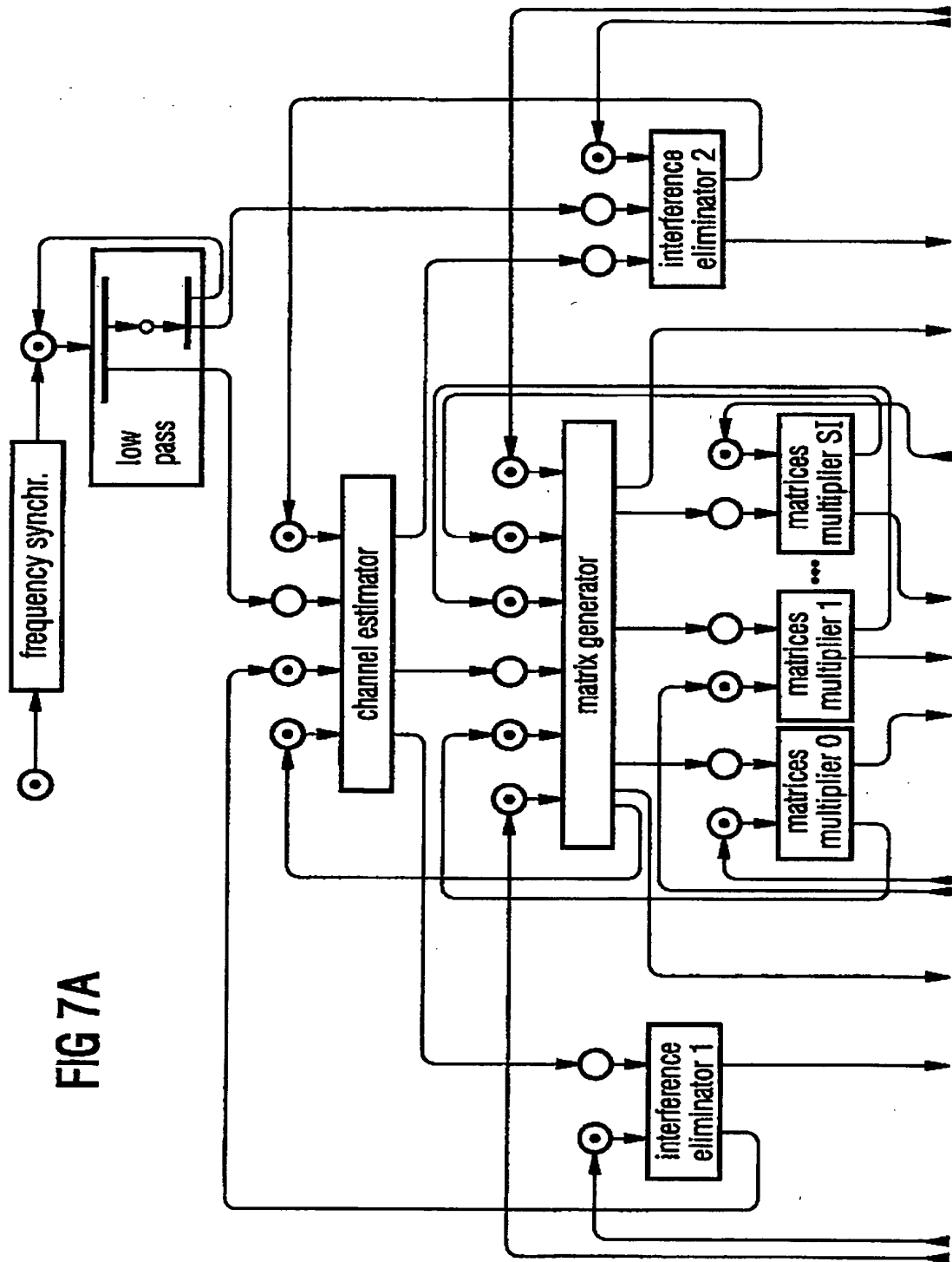


FIG 7A

